

DIalog(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

013116893 \*\*\*Image available\*\*\*

WPI Acc No: 2000-288764 200025

Related WPI Acc No: 1997-190387; 1997-190388; 1997-233573; 1997-287100;  
2000-288763

XRAM Acc No: C00-087460

XRPX Acc No: N00-217868

Thin film transistor manufacturing method, involves forming polycrystalline silicon film by laser annealing of amorphous silicon film, over which impurity area is formed after formation of gate electrode

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 2000082822</b>	A	20000321	JP 95199980	A	1995080	200025 B
			JP 99240191	A	19950804	

Priority Applications (No Type Date): JP 95167513 A 19950703

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 2000082822 A 13 H01L-029 786 Div ex application JP 95199980

Abstract (Basic): JP 2000082822 A

**NOVELTY** - Amorphous silicon film is formed on an insulated substrate (1). Laser annealing of the amorphous silicon film is performed for forming a polycrystalline silicon film (2). Impurity area (6) such as the source drain area is formed on the polycrystalline silicon film. Rapid thermal heating of the impurity area is done by performing rapid thermal annealing process.

**DETAILED DESCRIPTION** - Metal gate electrode is formed before forming the impurity area.  
**USE** - For manufacture of thin film transistor used for pixel driving of active matrix liquid crystal display device.

**ADVANTAGE** - Raises the productivity of the semiconductor device and the manufacturing cost. Enables to obtain polycrystalline silicon film having an outstanding characteristic within a short time.

**DESCRIPTION OF DRAWING(S)** - The figure shows the sectional view of the manufacturing process of the thin film transistor. Insulated substrate (1) Polycrystalline silicon film (2) Impurity area (6) pp: 13 DwgNo 16 32

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; METHOD; FORMING;

POLYCRYSTALLINE; SILICON; FILM; LASER; ANNEAL; AMORPHOUS; SILICON; FILM; IMPURE; AREA; FORMING; AFTER; FORMATION; GATE; ELECTRODE;

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029 786

International Patent Class (Additional): H01L-021 20; H01L-021 265;

H01L-021 28; H01L-021 336

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-82822  
(P2000-82822A)

(43) 公開日 平成12年3月21日(2000.3.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F 1	マークコード(参考)
H 0 1 L	29/786	H 0 1 L	29/78
	21/336		21/20
	21/20		21/28
	21/265		21/265
	21/28		29/78
	3 0 1		6 1 6 L
		審査請求 有	請求項の数 3 ○ 1 (全 13 頁)
			最終頁に続く

(21)出願番号	特願平11-240191
(62)分割の表示	特願平7-199980の分割
(22)出願日	平成7年8月4日(1995.8.4)
(31)優先権主張番号	特願平7-167513
(32)優先日	平成7年7月3日(1995.7.3)
(33)優先権主張国	日本(JP)

(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号

(72)発明者 平野 貴一  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 曽谷 直哉  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74)代理人 100109368  
弁理士 稲村 悅男 (外1名)

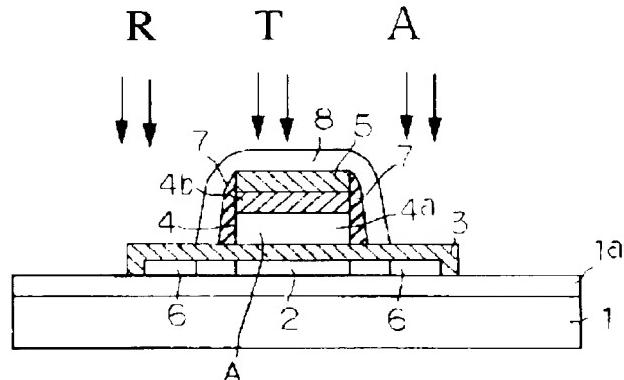
### 最終頁に統く

(54) 【発明の名称】 半導体装置の製造方法

(57) [要約]

【課題】 優れた特性の多結晶シリコン膜を備えた半導体装置のスルーフットを向上させること。

【解決手段】 ガラス基板上に非晶質シリコン膜を形成し、この非晶質シリコン膜をレーザーでエアーラして多孔質シリコン膜を形成し、この多孔質シリコン膜の上に、ケイ素酸銀膜などを含めてW<sub>x</sub>Si<sub>y</sub>膜を形成する構造。ケイ素酸銀を形成し、前述多孔質シリコン膜上に、ガラス基板上を形成し、前述多孔質シリコン膜をR.T.A法を用いて急速加熱することにより活性化する。



「新作詩」の範囲

【請求項1】 基板上に非晶質シリコン膜を形成する第1の工程と、  
この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する第2の工程と、  
前記多結晶シリコン膜に、ワースドレイシング領域として  
の不純物領域を形成する第3の工程と、  
前記不純物領域をRTA(Rapid Thermal Annealing)  
法を用いて活性化することにより活性化する第4の工程と、  
前記第3の工程よりも前に、金属を含むゲート電極を形  
成する工程を行うことを特徴とした半導体装置の製造方  
法。

【請求項2】 一塊板上に非晶質シリコン膜を形成する第1の工程と、この非晶質シリコン膜をレーザー二重ルーペにて多結晶シリコン膜に変換する第2の工程と、前記多結晶シリコン膜に、ソース・ドレイタ領域にてイオン注入領域を形成する第3の工程と、前記イオン注入領域を、ランプを熱源として急速加熱することにより活性化する第4の工程と、を含み、前記第3の工程よりも前に、金属を含むゲート電極を形成する、前を行なうことを特徴とした半導体装置の製造方法。

#### 【企业所得税的税负说明】

[ 111 ]

【発明の属する技術分野】本発明は、薄膜トランジスタ(Thin Film Transistor)等の半導体装置の製造方法に関するものである。

(0.002)

【透かし技術】近年、アクティブラミング方式によるCrystal Displayの画面駆動素子（画面駆動用アクチュエータ）として、透明絶縁基板上に形成された多層膜ミクストラニジスタ（以下、MOSトランジスタと呼ぶ）を駆動用に用いた薄膜トランジスタ（以下、FTトランジスタと呼ぶ）によって開発が進められて

【4】 ④ 本発明の半導体部は、通常熱可塑性樹脂を用いて成形するが、熱可塑性樹脂に取扱い薄膜トランジスタにおいて、移動度が大きめの特徴があるといつてある。そのため、多大な駆動能力が得られるという利点がある。そのため、多結晶シリコン TFT を用いれば、高性値な TFT を実現できる上に、画素部（表示部）だけでなく周辺駆動回路（パルス、クロス）までを同一基板上に一休に形成することができます。

2

【0-0-0-6】また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のまま多結晶化させて多結晶シリコン膜を得る方法である。この固相成長法の一例を図3-1及び図3-2に基づいて説明する。

【0006】：程A-143-1参照：純堿基板（石英、  
石英ガラス）6.1上に、通常の純正CVD法を用いて非  
晶質シリコン膜を形成し、更に、窒素（N<sub>2</sub>）雰囲気  
中、温度900°C程度で熱処理を行うことにより、半  
導体シリコン膜を回復成長させて多結晶シリコン膜  
を形成する。

【(0.0.0.7)】前記多結晶シリコン膜6よりを薄膜トランジ  
スクの能動層として用いるために、シリコングラウンド  
技術、R-T-F法によるドアウエーブチップ技術により前述  
多結晶シリコン膜6よりを所定形状に形成する。

【0008】明記多語句に記載の2の上に、減点してV1D法を用いて、サート連接詞の3としての「」と「」を並列化を推進する。

【0009】工程B（図3-2参照）：前記ゲート絶縁膜63上に、波形（VW型）により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。

【0010】次に、前述CVD法により、この多結晶シリコン膜の上にシリコニア酸化膜6-1を堆積した後、アセトトリリゴラーヴィ技術、R.I.上部によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコニア酸化膜6-1を所定形状に加工する。前記多結晶シリコン膜は、電子増幅器として使用する。

【0011】次に、自己整音技術により、ゲート電極6-5及びシリコン酸化膜6-1をマスクとして、多晶硅ノリコン膜6-2に不純物を注入し、ワームドライン領域6-3を形成する。

【0-0-12】このよきな方法は、個別成長や不純物活性化の問題の上に、半導体の物理的性質を研究するうえで、大いに用いられており、古谷先生（筑波大）が、研究室の初期から現在まで、この問題に取り組んでおられます。

【0013】しかししながら、前記耐熱性の弱い樹脂は強熱により、比較的安価なガラス基板を用いた場合には、熱に弱い樹脂が生じて好ましくない、近年では、低溫化技術を用いた場合が確実である。

【0014】特に、駆動手段によって走行する車両

の上に薄膜を形成する技術が開発されている。

#### 【0-0-1-6】

【発明を解決しようとする課題】レーザー二エラは、同一走査を何度も繰り返して行う必要があるため、結晶化工程等に時間かかるという問題があるが、従来例においては、熱処理としてレーザーピームのみを使用するものであるので、多結晶シリコン膜に加え、例えば、不純物領域活性化にも時間がかかるレーザーヒートを行ったりするにはむずかしい、かつまた2時間程度(なし)、TFT下部バッスおよび半下部を使用したLCD用パネルのドライビング基板低減する問題がある。

【0-0-1-7】本発明は、半導体装置の製造方法に関し、所がる問題点を解決するものである。

#### 【0-0-1-8】

【課題を解決するための手段】本発明の第1の発明によると半導体装置の製造方法は、基板上に多結晶シリコン膜を形成する第1の工程と、この多結晶シリコン膜をレーザーヒートして多結晶シリコン膜を形成する第2の工程と、前記多結晶シリコン膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、前記不純物領域をTFTA法を用いて急速加熱することにより活性化する第4の工程と、を含み、前記第3の工程よりも前に、金属を含むドライ電極を形成する工程を行なうこととする。

【0-0-1-9】このように、多結晶シリコン膜の結晶化をレーザーヒート用いて行い、不純物領域の活性化をRTA法を用いて行なうことにより、結晶化と活性化を同時にレーザーヒート法で行なうことによって、製造時間を短縮する。特にこの場合、レーザーヒートによると結晶度の高い多結晶シリコン膜を得られ、且しRTAにより不純物領域を短時間で活性化できる。

【0-0-1-10】また、第3の工程よりも前に、金属を含むドライ電極を形成することにより、この後漏れ、RTAの熱を吸収するため、熱を吸収した金属から放射線によっても不純物領域活性化が可能となる。

【0-0-1-11】本発明の第2の発明による半導体装置の製造方法は、基板上に、熱処理工程を経た後、第1の工程と、この熱処理工程を経て用いた後、レーザーヒートして多結晶シリコン膜を形成する第2の工程と、前記多結晶シリコン膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、前記不純物領域をTFTA法で急速加熱することにより活性化する第4の工程と、を含み、前記第3の工程よりも前に、金属を含むドライ電極を形成する工程を行なうこととする。

今、レーザーヒートにより品質の高い多結晶シリコン膜を得られ、且つランプを熱源とした急速加熱により不純物領域を短時間で活性化できる。

【0-0-2-3】また、第3の発明よりも前に、金属を含むドライ電極を形成することにより、この金属が、ランプの熱を吸收するため、熱を吸収した金属からの放射線によりても不純物領域活性化が可能となる。

#### 【0-0-2-4】

【発明の実施の形態】(第1実施形態)本発明を具体化した第1の実施形態を図1～図1-8について説明する。

【0-0-2-5】(図1～図1-7發明)：石英ガラスや無電力ガラスなどの基板上に、SiO<sub>2</sub>やSiNなどの絕縁性薄膜上にCVD法やスパッタ法などにより形成する。具体的には、基板上としてローライク社製7059を使用し、その表面に並用又は減圧CVD法により、形成度約350°C、膜厚約0.00～1.00μmのSiO<sub>2</sub>膜を形成する。

【0-0-2-6】このSiO<sub>2</sub>膜の膜厚は、後工程の熱処理やヒートシル等で基板上の不純物がこのSiO<sub>2</sub>膜を通して上層へ拡散しない程度の厚みが必要で、1.00～6.00μm範囲が適切で、2.00～6.00μmにしたときに抗剥離効果が良好で、その中でも3.00～5.00μmの間が最も適している。

【0-0-2-7】また、絶縁性薄膜としてSiNを用いた場合の膜厚としては、1.00～5.00μmの範囲が適切で、2.00～5.00μmにしたときに抗剥離効果が良好で、その中でも2.00～3.00μmの場合が最も適している。

【0-0-2-8】(図1～図1-7發明)：前記絶縁性薄膜上に、多結晶シリコン膜(膜厚50.0μm)を形成する。これを多結晶シリコン膜をTFTの電極層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTの寸寸電流が増大し、薄すぎるとオシ電流が減少する。したがって結晶度の高い膜厚は、10.0～80.0μm範囲が適切で、50.0～70.0μmにしたときに電流が最もよくて、その中でも50.0～60.0μmの間が最も適している。

【0-0-2-9】前記多結晶シリコン膜を形成する方法には以下のものがある。

【0-0-3-0】1減圧CVDを用いる方法、減圧CVD法でシリコン膜を形成する時は、モノラムランプ(日本電子はモノラムランプの略称)の熱分解を用いる。モノラムランプは、電球の内部に

CVD法で多晶質シリコン膜を形成するには、フラー炉でのモノシランまたはジシランの熱分解を用いる。

【0032】実際の工程では、前記1の方法を採用し、使用ガス：走行ガス、温度： $360\text{ }^\circ\text{C}$  の条件下、微粉化を含まない多晶質シリコン膜を形成している。

【0033】(第3～例3参照) 前記多晶質シリコン膜2の表面は、波長 $\lambda = 248\text{ nm}$ の長さ上エキシマレーザービームを照射し、追査してアーチ処理を行い、多晶質シリコン膜2を溶融再結晶化して、多晶質シリコン薄膜2を形成する。

【0034】この時のレーザー条件は、ガス一酸素混合気： $1\sim1.0\times10^{-1}\text{ L/min}$ 、基板温度：室温 $\sim 60.0\text{ }^\circ\text{C}$ 、照射エネルギー密度： $1.00\sim5.00\text{ mJ/cm}^2$ 、走査速度： $1\sim1.0\text{ mm/s/sec}$ (実際には、 $0\sim1\sim1.0\text{ mm/s/sec}$ の範囲の速度で走査可能)である。

【0035】前記レーザー工程としては、波長 $\lambda = 308\text{ nm}$ ONとC<sub>2</sub>H<sub>2</sub>エキシマレーザーを使用してもよい。この時のレーザー条件は、アーチル放電率： $1\times10^{-1}\text{ pA/mm^2}$ 以下、基板温度：室温 $\sim 60.0\text{ }^\circ\text{C}$ 、照射エネルギー密度： $1.00\sim5.00\text{ mJ/cm}^2$ 、走査速度： $1\sim1.0\text{ mm/s/sec}$ (実際には、 $0\sim1\sim1.0\text{ mm/s/sec}$ の範囲の速度で走査可能)である。

【0036】また、波長 $\lambda = 193\text{ nm}$ ArFエキシマレーザーを使用してもよい。この場合のレーザー条件は、アーチル放電率： $1\times1.0\times10^{-1}\text{ pA/mm^2}$ 以下、基板温度：室温 $\sim 60.0\text{ }^\circ\text{C}$ 、照射エネルギー密度： $1.00\sim5.00\text{ mJ/cm}^2$ 、走査速度： $1\sim1.0\text{ mm/s/sec}$ である。

【0037】レーザーレーザービームを用いても、照射エネルギー密度及び種別回数に比例して、多晶質シリコンの粒径は大きくなるので、希望の大きさの粒径が得られるまでに、エネルギー密度を調整すればよい。

【0038】本実施形態では、このエキシマレーザーでは一回に、高エネルギーのレーザー照射法を用いる。即ち、図2(a)において、1.01は長さ上エキシマレーザー、1.02は走査距離 $1.0\text{ mm}$ のレーザー走査、1.03は反射鏡1.04で反射したレーザー光が鏡1.05に当たる、走査方向 $\rightarrow$ の活性層を示すである。

【0039】このような構成において、発送モードトレーク機構が表示は、レーザーレーザービーム制御装置系1.03においてシート走査 $1.50\text{ mm/sec}$ より、走査距離に応じて走査方向 $\rightarrow$ を、走査方向 $\leftarrow$ と重ね合わせて走査方向 $\rightarrow$ を反転する。また、走査方向 $\leftarrow$ を示す。

され次。

【0041】そして、前記多晶質シリコン膜2の上に、ドライエタック式減圧CVD装置を用いた減圧CVD法により、ガラス被膜としてLTG膜 Low Temperature gate Oxide (シリコン酸化膜) 3 膜厚 $1.000\text{ \AA}$ を形成する。

【0042】(第3～例3参照) 前記ガラス被膜3の上に、減圧CVD法により多晶質シリコン膜2 膜厚 $2.000\text{ \AA}$  4 を堆積する。この多晶質シリコン膜4には、多量の不純物、多量な空洞や孔、1型などのホロジック欠陥が含まれているが、ノンドライ状態で堆積し、その中に不純物を混入してもよい。

【0043】次に、スクラウブ法を用い、前記多晶質シリコン膜4の上にタングステンシリカ子母 WSi<sub>X</sub> 膜4b 膜厚 $1.000\text{ \AA}$  5 を形成する。スクラウブ法では、WSi<sub>X</sub>子母の組合せ、母子を用いて、WSi<sub>X</sub>子母 (WSi<sub>X</sub>) の化学量論的組成はX=2であるが、余分タングステンの組成はX<2に設定する。これはWSi<sub>X</sub>子母上膜4bの組成(X=2)に近いと、その後の剥離時に非常に大きくなり、張り込み方が生じ、WSi<sub>X</sub>子母上膜4bにクラックが発生したり、剥離したりする懸念があるためである。但し、WSi<sub>X</sub>子母の抵抗値はX=2の場合に最も低くなるため、クラックを発生しない程度にXの上膜を設定する必要がある。

【0044】そして、等温CVD法により、前記WSi<sub>X</sub>子母上膜4bの上にシリコン酸化膜5を堆積した後、ワットガラス法、E-T法による回折干渉、チタン接続を用いて、前記多晶質シリコン膜2と、WSi<sub>X</sub>子母上膜4b及びTFT酸化膜5を所定距離に接続する。前記多晶質シリコン膜2は、前記WSi<sub>X</sub>子母上膜4bの上にもホリセイ子母構造のワット電極4cとして使用する。

【0045】(第3～例3参照) 自己整合技術により、ワット電極4c及びTFT酸化膜5をスクレーブして、多孔シリコン酸化膜5に不純物を注入し、ノンドライ状態で形成する。

【0046】(第3～例3参照) 前記多晶質シリコン膜2は、前記ワット電極4c及びTFT酸化膜5の間に接続して、これが良好な接続に、ワット電極4cの上に、前記多孔シリコン酸化膜5及びTFT酸化膜5を形成する。更に、この子母4d、4eを用いてシリコン酸化膜5を形成して、ワット電極4cとTFT酸化膜5を接続する。更に、前記ワット電極4cとTFT酸化膜5を接続する。

【0047】(第3～例3参照) 前記ワット電極4c及びTFT酸化膜5の上に、前記多孔シリコン酸化膜5を形成する。

カラム 10-6 とそれを包む反射鏡 10-7 を 1 組として、これを上部に相対配置することにより構成している。10-8, 10-8 は基板 1 を搬送するためのリフラー、10-9 は予熱用のブランクター、11-10 は加熱後の基板が急激に冷却されてしまうのを防ぐための補助ブランクターである。

【0.0-1.9】このような構成において、基板1をシリカゲル1-ターパー110にて予熟した後、シリカゲル1-ターパー110を重ねて、熟化測定する。

【0.0.5.0】この時のRTAの条件は、熱源：Xe灯（クラシック）、温度：700～950°C（W/Tメータ）、穿刺気：N<sub>2</sub>、時間：1～3秒である。RTA法による加熱は、高溫用いながら、これまでに先鋒時間で終えることができる。すな、基板上に多量の汚染物質はない。

【0.05】面、基板上に対し、火薬に熱を加えること。配管等は、RTAを複数回に分けて行うてもよい。即ち、各回の時間は1～2秒とし、何を手ねる毎に點検を、初回：100℃～最終回：700～950℃といつまでも段階的に上昇させること。

【0.0.5.2】前記Xセグメントの発熱は、多結晶導電部よりも単結晶部よりサインサインに強く吸収されるため、必要な部分のみを重複するこえて可能になり、(ゲート)配線の低抵抗と不純物の活性化に適している。

【0053】そして、この強度増強により、前記のアスコルビン酸シリカ複合物とともに前記非晶質シリカ複合物が多量生成され、更には、この多量のシリカ複合物とWシリカ下膜(16)によるガラス化下構造(17)の下抵抗率は、約2.0~2.2Ω/□にまで達する。

【0.05-1】また、活性化要因を示すたゞストレス領域6のノート抵抗率、上管で1~1.5 kΩ、下管で1~1.2 kΩ、D型で1~1.2 kΩ、以上、荷重印加せば明確な抵抗率による応答が初期と同様のものとなる。

【0055】この工程により、薄膜トランジスタ(TFT)が作成される。

卷之三十一

【D-058】アラビノ酸左旋の堆積条件は、堆積温度：39.0°C、RT圧力：5.0 kPa、S/LH流量：5.00 cc/min、酸素流量：1.500 cc/min、圧力：9.0 kPaとし、シリコン酸化膜の堆積条件は、堆積温度：40.0°C、S/LH/N<sub>2</sub>流量：10.00 cc/minとした。

【0.05%】を加て、荷袋封口により、水素-100%雰囲気中、温度+50°Cで12時間加熱し、更に、水素-100%ガスで処理を施す。このように水素化処理を行なうことと、多孔性シリコン酸化物誘導体表面に水素原子を導入し、物質構造を安定化して、省エネルギー移動度を高める。

【006】その後、ブリトニー・カーライル氏は、K!E法によるトライエーティング技術を用いて、自己開拓組織団体9に、前記ソース・マレイン所長とコンタクトするコンタクトホールディングを形成する。

【006】工程10(例10等級)：マガジンスパッタ法による、T<sub>1</sub>、N<sub>1</sub>、O<sub>1</sub>等級の熱処理遮光板の表面粗度を確実化し、マグナムガラス技術、R.I.E法によるドライエッチング技術を用いて、ウルトラ・ドライエッチング工法として用いる。

【0062】図11(図11参照)：CVD法によ  
り、ガラスの片面に保護膜としてシリコン酸化膜1  
を、シリコン酸化膜を重ねて堆積させる。

【0063】工程12（図12参照）：チバ1.3全面に、SOGC（Soft On Glass）膜1.3を3回にわたって塗布し、チバ1.3表面の凹凸を平坦化する。

【006-1】工程 13 (図 13 参照)：前面の CG 膜上にはレジストの剥離性が悪く、また水分を吸収しがちなので、この保護膜として、CVD 法により、S-CG 膜上に更にシリコン酸化膜 1.1 (シリコン酸化膜でもよい) を薄く堆積させる。

【0065】(工程1-1 図1-1参照)：アクリルガラス接着剤、R1工法によるラミエーション技術を用いて、前記アクリル酸化膜12、OG膜13、シリコン樹脂保護膜14は、均等な一枚、並んで複数枚15の膜を重ねて、主に、左側式、右側式、逆張り、複合式等の構成で、複数枚の膜を接着する。

（二）在於「新舊」的對比上，「新」的確是「舊」的反動，但「舊」的確不是「新」的反動。

トロウ方式のC-DIブロック構成式である。

【0-0-6-8】画素部2-0には各走査線、ケーブル配線G1～G4、G5～G8と各データ線、ドライバ配線D1～D4、D5～D8、D9～D12と接続されている。各ケーブル配線と各データ線は直交し、各走査線は画素部2-1と接続されている。そして、各データ配線は、データバス1、バス2に接続され、データバス1、走査信号1側面に接続されるようになっている。また、各ドライバ配線は、ドライバシートライバ、データシートライバ、バスに接続され、データバス2（ビデオ信号）側面に接続されるようになっている。これらのドライブバス、バスによって周辺駆動回路2-4に構成されている。

【0-0-7-0】そして、各データバス1、バス2とも少なくなく走査ドライバが一方を画素部2-0と同一基板上に形成した上では、一般にトライバ（例題：トライバ内蔵型）LCDと呼ばれている。尚、データバス1とデータバス2は、画素部2-0の周端に設けられているものもある。また、ドライバトライバ2-0は、画素部2-0の両側に設けられている場合もある。

【0-0-7-1】この周辺駆動回路2-4のドライバ用素子にも前記多結晶シリコンTFT-Aと同様の製造方法で作成した多結晶シリコンTFT-Aを用いており、多結晶シリコンTFT-Aの作製に並行して、同一基板上に形成される。尚、この周辺駆動回路2-4用の多結晶シリコンTFTは、TFT構造ではなく、通常のシングルドライバ構造を採用している（もちろん、TFT構造でもよい）。

【0-0-7-2】また、この周辺駆動回路2-4の多結晶シリコンTFTは、CMOS構造に形成することにより、各データバス2-2、2-3としての汎用化を実現している。

【0-0-7-3】図1-8にケーブル配線Gとドライバ配線Dnとのデータ部2-0に記載された各画素部2-1の駆動回路を示す。

【0-0-7-4】画素部2-1は、画素駆動素子としてTFT-T（薄膜トランジスタ）、液晶セルLC、補助電極（構造物）から構成される。尚、液晶セルにはTFT-T、データ線及び駆動回路、TFT-Tとデータ線にはTFT-T、データ線及び駆動回路、TFT-Tと駆動回路には、後述のLCD表示部機（画素部機）上補助容量（蓄積容量）Cと並接続されている。そして、TFT-Tとデータ線には、後述のLCD表示部機（画素部機）上補助容量（蓄積容量）Cと並接続されている。

【0-0-7-5】この液晶セルLCと補助容量Cとにように、右の蓄積素子構成される。破壊電界V<sub>D</sub>、其の電界強度表示電極の反対側の電極には、右のW<sub>D</sub>と印加され、左のW<sub>D</sub>と並接続される。

上下TFT-Tと接続される側の反対側の電極は、導電性樹脂で、TFT-Tと接続されている場合もある。

【0-0-7-6】このように構成された画素部2-1において、データ配線Gを電極にして上下TFT-Tに子電極を形成すると、上下TFT-Tオフとなる。尚且つ、ドライバ配線Dnも同時に形成されたデータ信号で、液晶セルLCの静電容量と補助容量Cが充電される。又対して、データ配線Gを電極にして上下TFT-Tに子電極を形成すると、上下TFT-Tオフとなり、その時Dnでドライバ配線Dnに接続されたバス用端子、液晶セルLCの静電容量と補助容量Cによって保持される。このように、画素部2-1へ書き込みないデータ信号をドライバ配線Gに与えてデータ配線Gの電極を明確する事により、画素部2-1に任意のデータ信号を保持させておくことができる。その画素部2-1の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0-0-7-7】ここで、画素部2-1の特徴として重要なものに、書き込み特性と保持特性がある。書き込み特性に対して要求されることは、画素部2-1の仕様から定められた単位時間内に、右の蓄積素子（液晶セルLC及び補助容量C）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対し可塑化されるのは、右の蓄積素子に一旦書き込んだビデオ信号電圧を必要が判断で保持することができるか否かという点である。

【0-0-7-8】補助容量Cが張り出されているのは、右の蓄積素子の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。すなわち、液晶セルLCには、その構造上、静電容量の増大には限界がある。そこで、補助容量Cによって液晶セルLCの静電容量の不足分を補うわけである。

第2実施形態 次に、本発明を具体化した第2の実施形態を図1-9～図2-8に基づいて説明する。但し、第1実施形態で説明した個別走査等の構成には同じ符号を用いて説明を省略する。また、この第2実施形態は、第1実施形態、第1～7段落に対する構成を異にする。尚、ここで記述する構成は、主に構成である。

【0-0-8-0】図1-9～図1-12は、基板上にW<sub>D</sub>と呼ばれる膜上駆動回路。

【0-0-8-1】図2-1～図2-4は、前記W<sub>D</sub>と呼ばれる膜上を、トランジスタの駆動動作していき結晶シリコンを用いたデータ信号線。

【0-0-8-2】図3～図4は、前記W<sub>D</sub>と呼ばれる膜上にW<sub>D</sub>と呼ばれる膜上を要するTFT。

【0-0-8-3】図5～図8は、前記W<sub>D</sub>と呼ばれる膜上にW<sub>D</sub>と呼ばれる膜上を要するTFT。

を施してシリコーン処理を行い、熱融着シリコーン膜2を基板上に接着して、多結晶シリコーン薄膜2を形成する。

【0-0-8-1】 無、ドーザーせんとして、Xe/C<sub>x</sub>エチレン/アセチル/メタリックアセチル/アセチルを用いてもよい。

【0-0-8-5】 工程6(図2-4参照)：前記多結晶シリコーン膜2を薄膜トランジスタ、電動層として用いるために、フォトリソグラフィ技術、R-T法によるトライエッセンス技術により前記多結晶シリコーン膜2を形成する。

【0-0-8-6】 そして、前記多結晶シリコーン膜2の上に、シリコーン酸化膜としてTFTの膜3を堆積する。

【0-0-8-7】 工程7(図2-5参照)：前記ゲート絶縁膜3の上に、非晶質シリコーン膜1aを堆積する。

【0-0-8-8】 次に、前記非晶質シリコーン膜1aの上にWシリザイド膜1bを形成する。

【0-0-8-9】 そして、前記Wシリザイド膜1bの上にシリコーン酸化膜5を堆積した後、フォトリソグラフィ技術、R-T法によるトライエッセンス技術を用いて、前記多結晶シリコーン膜2を形成する。前記非晶質シリコーン膜1aは、前記Wシリザイド膜1bとともに半導体下構造のゲート電極1として使用する。

【0-0-9-0】 工程8(図2-6参照)：前記ゲート絶縁膜3及びシリコーン酸化膜5の上に、備用CVD法によりシリコーン酸化膜を堆積し、これを擴散熱伝導炉内ハッカすることにより、前記ゲート電極1及びシリコーン酸化膜5の側方にサイドウォール7を形成する。

【0-0-9-1】 そして、自己整合技術により、ガラス吹き出物8をマスクとして、多結晶シリコーン膜2に、片道電圧：8.0 Kev、電子質量3×1.0×10<sup>-13</sup> cm<sup>-2</sup>の条件下、R-T法でオホシを不純物として注入し、低濃度の不純物領域8を形成する。

【0-0-9-2】 工程9(図2-7参照)：前記サイドウォール8及びシリコーン酸化膜5をTFT上に選択的に再び自己整合技術によりマスクを用いて注入してから部品構成層2に、高連電率：8.0 Kev/V、電子質量1×1.0×10<sup>-13</sup> cm<sup>-2</sup>の条件下、R-T法でオホシを不純物として注入し、高濃度の不純物領域9を形成することにより、TFTのN型Doped Drain構造のゲート半導体領域6を形成する。

【0-0-9-3】 工程10(図2-8参照)：この状態で、第1実験部と同様、R-T法による熱融着技術を行う。

【0-0-9-4】 Xe/C<sub>x</sub>エチレン/アセチルを用いて、多結晶シリコーン膜2を形成する。

次に作成が済み、熱融着したWシリザイド膜1bから、放電装置によって充満する多結晶シリコーン膜2に、不純物、活性化を行われる。

【0-0-9-6】 既ち、多結晶シリコーン膜2を、Xe/C<sub>x</sub>エチレン/アセチル/メタリックアセチル/アセチルを用いて、直接放電間接炉内に露することにより、多結晶シリコーン膜2全体を活性化し、活性化率は約75%ではなく良好に行われるようになる。

【0-0-9-7】 Wシリザイド膜1bの大きさは、基本的に、多結晶シリコーン膜2と同じか又はそれ以上であればよいが、面積が大きい場合はそれに応じた面積となるように調整すれば、不純物ままである。

【0-0-9-8】 既ち、集積有する部品がバチウム炉、ハクランの鋼管が基板上に余りますため、各トランジスタに均等にWシリザイド膜1bを配置した段階では、内部によって集積面積よりの熱吸収率が異なり、均一な熱処理を行えず、また、Wシリザイド膜1bが集中して発生する温度が非常に高くなる事態が発生する。

【0-0-9-9】 そこで、二層に配位した熱吸収膜の単位面積当たりの密度を、その上層に形成されるハッカに係わらずほぼ一定となるようにすれば、R-T法で活性化するときの温度分布の偏りを解消することができる。具体的にトライエッセンス技術の1(CD)においては、トライエッセンス部に比べて画素部のトランジスタの温度が高いのに、トライエッセンス部のトランジスタに対するWシリザイド膜1bの大きさを、画素部のそれに比べて大きくしてやることで、基板上全体の温度分布がほぼ均一になる。

【0-1-0-0】 1(CD)においては、回路の面積が約1.0%がWシリザイド膜1bとなるように調整するとよい。好ましい。

【0-1-0-1】 この工程により、多結晶シリコーンTFT(=TFT+熱出力Transistor)(=A)が形成される。

【0-1-0-2】 以上の実験部程により製造した多結晶シリコーンTFTでは、トライエッセンス技術にて作成されたとき、電子、空孔、本筋部、漏部の複数箇所に形成される。

【0-1-0-3】 本発明者らによれば、トライエッセンスMOS型多結晶シリコーンTFTでの移動度は約2.0×10<sup>13</sup> cm<sup>2</sup>/V・s以上、ドーザーエチルのMOS型多結晶シリコーンTFTでの移動度は約1.5×10<sup>13</sup> cm<sup>2</sup>/V・s以上であり、高純度のトランジスタを集成できることが分かる。

【0-1-0-4】 本発明は、トライエッセンス技術によつて

以上は、 $1 \times 10^7$  の特性を得ることができる。

【0-105】また、移動度が高いする、生下時の運動能が向上するので、T下Tのサイズを小さくすることができる、従来運動軸として非品質「U」を用いてトランクスクルサ子床（W-L=3.4-1.9cm）に比べて、L=8以下、サイズ（W-L=8-1.4cm）に縮小することができる。更には、高品質の運動軸であるので、トランクスクルトト時のリード電流をなく、考え方を補助器量の面積を1-3以下に縮小することができる。

【0106】具体的には、 $\sigma_0 = 2$ 、 $\sigma_1 = 4$ 、画素密度： $6.0 \times 10^{-11} \text{ fm}^{-2}$ 、 $\lambda = 1500 \text{ fm}$ 、曲率半径： $2.3 \text{ fm}$ 、 $\beta = 3.2 \times 10^{-3}$ 、 $R_{\text{GB}} = 2.10 \text{ fm}$ 、從来型のいたりに比べて3倍以上の高密度画素を有しながらも、 $\beta = 5$ をとる高開口率（ $\beta/\sigma_1 = 1/5$ 倍）のものを得ることができ、高輝度化を実現できる。

【0-10-7】以上の実施形態は以下のように変更してもよし、その場合でも同様の作用、効果を得ることができること。

【0108】(1) 条件によるガラス板1として、通常のガラス板なども使用可能である。

【0-1-9】・3、工程2や工種1において、非晶質シリコン膜を測定するVIL法により、例えは、モノシラーカスを用い、温度38.0℃で推移させる。これにより、非晶質シリコン膜の吸収性を測るが際となる。

【0-1-10】 酸溶晶を含んだ非晶質シリコーン膜を固相成長法により多晶晶化することにより、結晶粒径が小さくなるが、移動度は若干低下するが、結晶成長を約時間で終えることなくできること。

【0-1-1】(3) 工程2や工程1において、堆積質シリコーン膜2を焼成CVD法、アーチ式CVD法によらず、等圧CVD法、光照射CVD法、蒸着法、EB(Electron Beam)蒸着法、MBE(Molecular Beam Epitaxy)法、スパッタ法となるゲートの作りばねる、これら方法によって成す。

【0-1-12】 1) 多結晶シリコン断面の SEM 写真  
右側に多結晶シリコンを示す。左側では結晶粒界が  
露出している。左側の電極（Vt）が複数枚で、表面積  
を増加して互いに接する。これは、表面や  
内部のショートにはアーチ放電によるものにして、電  
極間にショートして、Pチヤ不足ランダム切欠は工場ハ  
ズメンテ方向に起きる直電荷シフトによる傾向にある。  
また、水素化処理を行った場合には、その傾向がより顕著となる。このように確実にショートを避えるには、一  
つの電極に不純物を多く含む材料によること

<sup>10</sup> 《新民在大革命中的作用》。

【0-1-1-4】 第二工程、(1)種I、(2)種II化粧板、更に、CVD法を用いてWシリコン薄膜上に、Si<sub>x</sub>を形成する。その後(1)種Iでは、(2)種II、(3)種III

【0-1-15】(ア) ナイロ電極に用いるWシリカゲルには代わるものとして、Mo-Si<sub>3</sub>、Ti-Si<sub>2</sub>、Ti-Si<sub>1.2</sub>、Co-Si<sub>1.2</sub>などの高融点金属シリケート、その他の、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。

【0-1-16】(8) 1程りにおいて、フラスマ酸化膜に代えて、TEOS (Tetra Ethyl Ortho Silicate 又は Tetra-ethoxy-silane) を用いたフラスマTEOS酸化膜を用いてもよい。また、シリコン酸化膜に代えて、常圧オゾンTEOS酸化膜を用いてもよい。

【0117】 プラジマ下の TEOS 酸化膜の堆積条件は、堆積温度: 390°C、RF 力: 500W、TEOS 流量: 500 sccm、震盪流量: 600 sccm、圧力: 9 torr とし、常圧下の TEOS 酸化膜の堆積条件は、堆積温度: 400°C、RF 力: 400W、濃度: 5 wt%, TEOS キャリヤー N<sub>2</sub>ガス流量: 3000 sccm とする。

[9-1-18] (9-1-18)の上記の後、アラルミンTEOS酸化膜を、アンモニア(NH<sub>3</sub>)ガスを用いてアツマ処理することにより窒素オキシドに曝し、その表面を酸化してから常圧下でTEOS酸化膜を堆積する。アツマ処理条件は、濃度：3.60%，RF出力：50W、アンモニア流量：1.00～5.00sccm、NH<sub>3</sub>流量：0～1.10L/minである。また、この各段階において、アラルミン基板の電気特性を測定する。

〔第 1 図〕 100 W のリード線を横に引いて、その端部にシリコン膜を接着してシリコン膜をもつ。これにシリコン膜には本物ではつされててもよい。このように、導電性膜又は半導体膜を用いたことにより、この感度膜に電圧を印加することで、上下を、上と下に取られる MOSトランジスタの間に干渉子を作り込む動作させて、上と下電極を接続する。

は半導体シリコンなど、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度が低い場合には、約150°C以下、Al<sub>2</sub>やAl<sub>2</sub>O<sub>3</sub>などの低融点の低融点金属を用いてもよい。

【0122】Wを用いた上膜も含めて、これらの金属膜は、 $\lambda$ を逃さない性質を有しているので、以下の通り効果を有する。

【0123】(a) 烈、弾丸を防ぐために特に絞りセルに落とさずそのまま止める必要な穴を造るので、LCDディバイスに対してはドライバーが高くなる。

【0124】(b) TFTに入ることに対する光を遮るので、光によるリード電極を減らすことでTFTとしての特性を上げると同時に光によるTFT自身劣化を防止する。

【0125】(c) 1) 半導体ではなく、逆ブレーカ型、スタブ型、逆スクワリ型などあらゆる構造の多結晶シリコンTFTに適用する。

【0126】(d) 多結晶シリコンTFTだけではなく、薄膜ケーブル型半導体素子全般に適用する。また、太陽電池やセンサなどの光変換素子、バイオラジオランジスタ、静电誘導型トランジスタ(Static Induction Transistor)などの多結晶シリコン膜を用いる半導体装置に適用する。

#### 【0127】

【発明の考案】本発明にあっては、以下の通りの優れた効果を有する。

【0128】(1) 低電圧(10セカンド耐電圧)、安価な基板を使用でき、半導体装置の製造コストを削減できる。

【0129】(2) 良質な多結晶シリコン膜を短時間で得ることでき、半導体装置におけるスリーブットが向上する。

#### 【前面の簡単な説明】

【図1】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図2】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図3】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図4】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図5】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図6】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図7】

【図8】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図9】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図10】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図11】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図12】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図13】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図14】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図15】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図16】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図17】アクリルイソブチリックアクリルオーバーライド構成図である。

【図18】曲4、等価部である。

【図19】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図20】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図21】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図22】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図23】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図24】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図25】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図26】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図27】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図28】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図29】本発明を具体化した第2実施形態の構成図である。

【図30】本発明を具体化した第2実施形態の構成図である。

【図31】本発明を具体化した第2実施形態の構成図である。

【図32】本発明を具体化した第2実施形態の構成図である。

【図33】本発明を具体化した第2実施形態の構成図である。

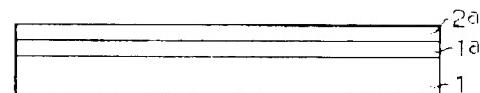
【図34】本発明を具体化した第2実施形態の構成図である。

【図35】本発明を具体化した第2実施形態の構成図である。

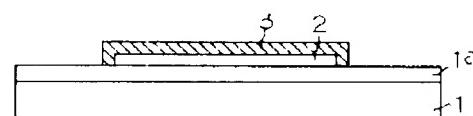
1b - WSiGe<sup>2</sup>半導體  
1 - 電極下電極

6 - 不鏽鋼彈簧

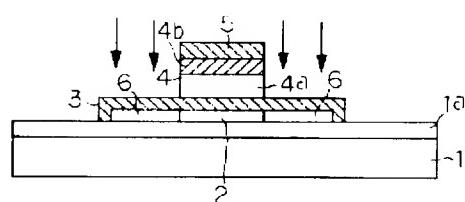
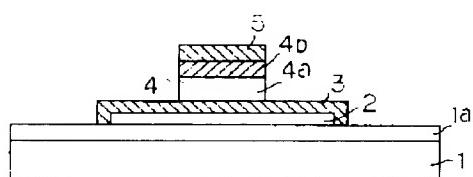
【図1】



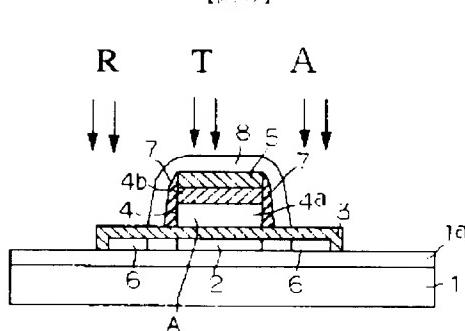
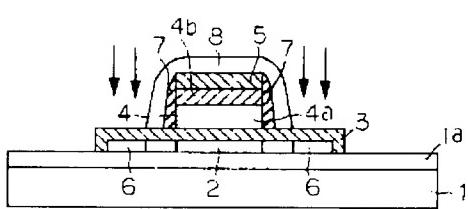
【図3】



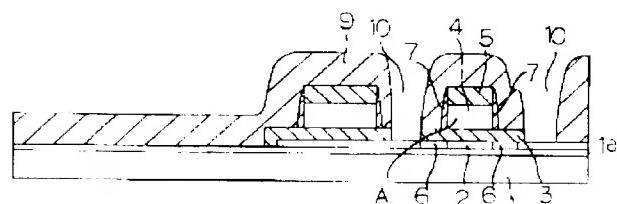
【図5】



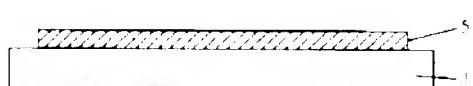
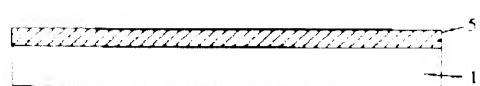
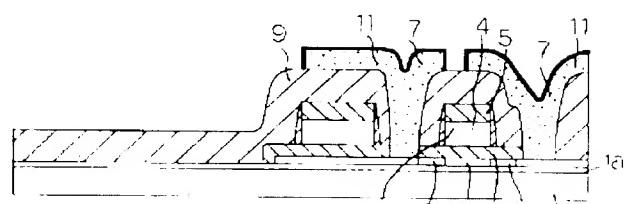
【図7】



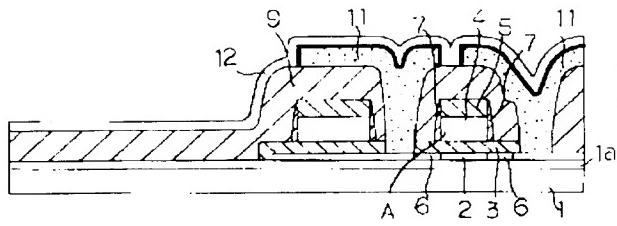
【図9】



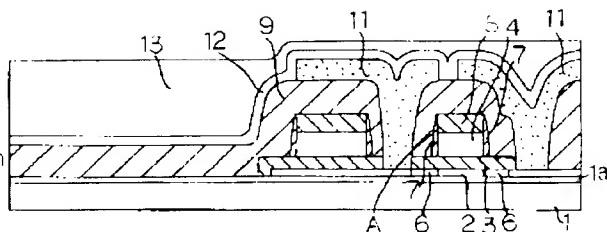
【図10】



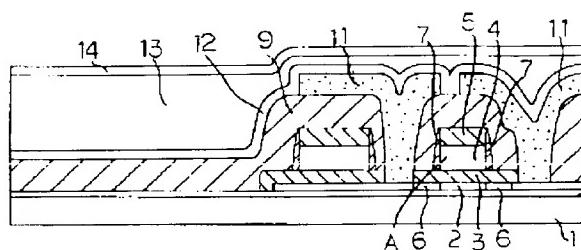
【図1-1】



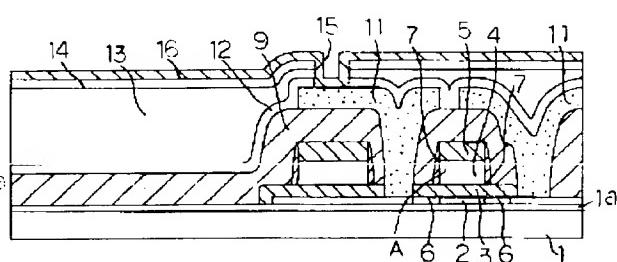
【図1-2】



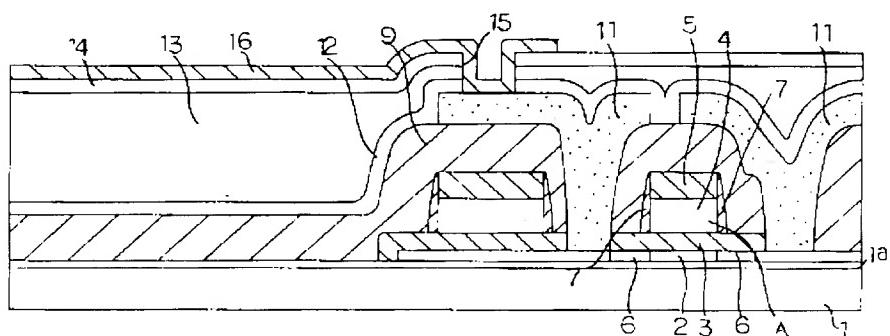
【図1-3】



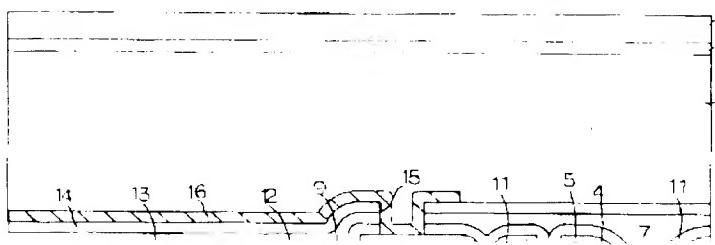
【図1-4】



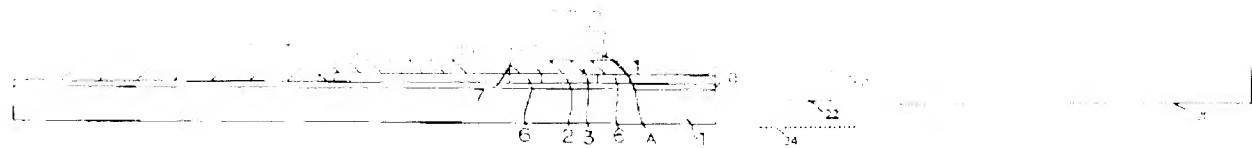
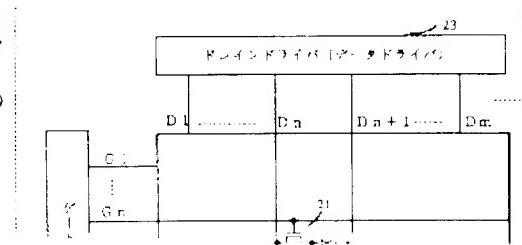
【図1-5】



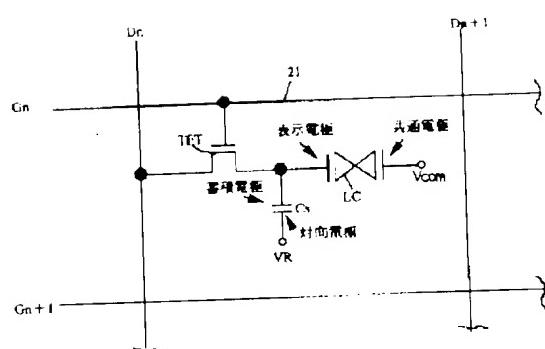
【図1-6】



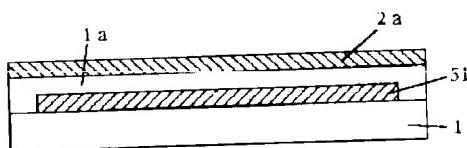
【図1-7】



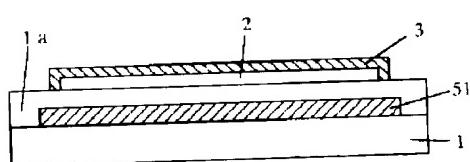
【図1-8】



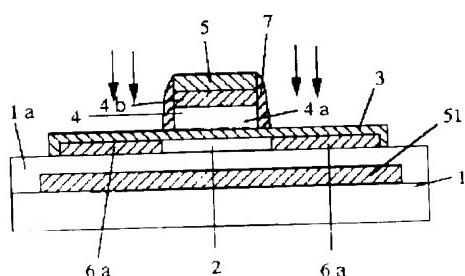
【図2-2】



【図2-4】



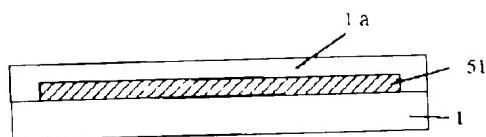
【図2-6】



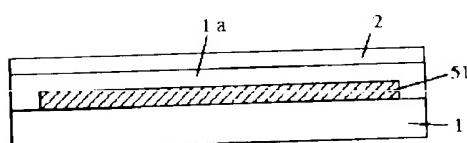
【図3-1】



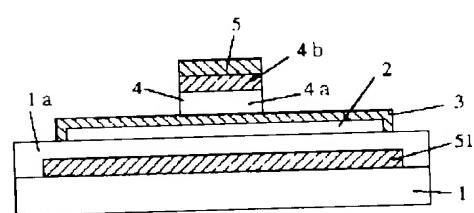
【図2-1】



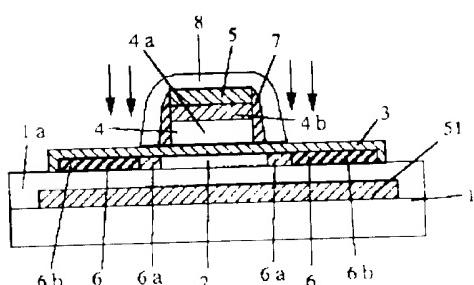
【図2-3】



【図2-5】



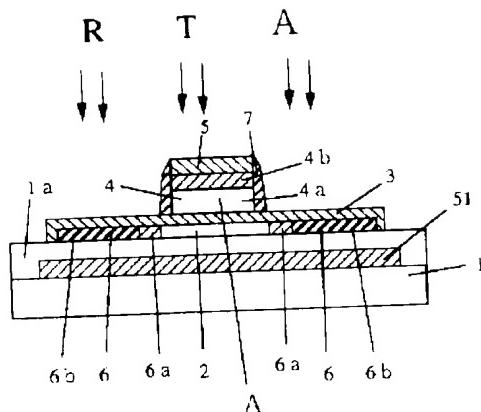
【図2-7】



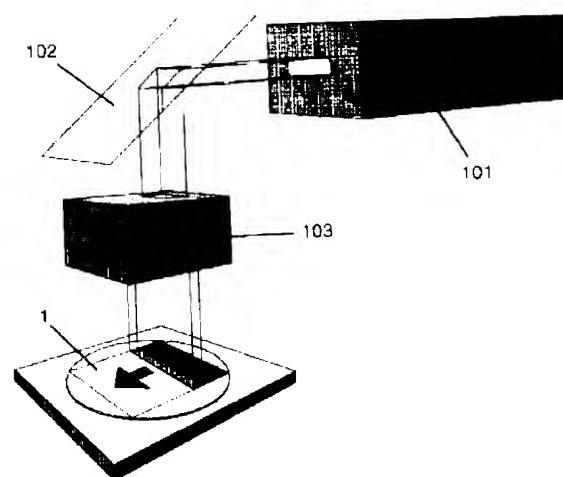
【図3-2】



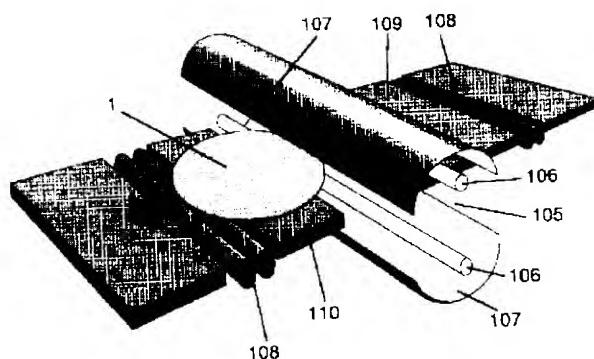
【図2-8】



【図2-9】



【図3-0】



フロントページの続き

明細書

識別番号

F-1  
平成11.2.29.78

参考文献

6-1775  
6-2774

(1)発明者 山路 敏義  
大阪府守口市東阪本通2丁目5番5号  
洋電機株式会社内

(2)発明者 森木 作弥  
大阪府守口市東阪本通2丁目5番5号  
洋電機株式会社内  
(3)発明者 采田 一清  
大阪府守口市東阪本通2丁目5番5号  
洋電機株式会社内